

Adquisición de Señales de un Sensor Óptico basado en FPGA

David Alejandro Balcazar Torres (1) y Eduardo Cabal Yépez (2)

1 [Licenciatura en Ingeniería en Comunicaciones y Electrónica, Universidad de Guanajuato] | Dirección de correo electrónico: [da.balcazartorres@gmail.com]

2 [Departamento de Estudios Multidisciplinarios, División de Ingenierías, Irapuato – Salamanca, Universidad de Guanajuato] | Dirección de correo electrónico: [e.cabalyopez@gmail.com]

Resumen

El rápido desarrollo de las tecnologías de comunicación visual y su uso en dispositivos móviles, sensores de imagen, imágenes médicas, video, entretenimiento han influido en el avance del procesamiento de imágenes y videos. En la industria de la visión por computadora, el uso de sensores ópticos es esencial para la captura y procesamiento de imágenes, por lo que existe la necesidad de realizar el control de la adquisición de señales para dichos sistemas de visión. En este trabajo de investigación se diseña un núcleo IP en hardware de un controlador para el sensor óptico LI-5M03 y se implementó en un FPGA (Field-Programmable Gate Array) de bajo costo, usando el lenguaje de descripción de hardware VHDL (VHSIC - Very High Speed Integrated Circuit – Hardware Description Language). Además se diseñó un sistema que permite capturar una escena en una memoria SDRAM para su posterior procesamiento en tiempo real, ya que se logran estimar 200 fps para imágenes VGA.

Abstract

The rapid development of visual and communications technologies and their use in mobile devices, image sensors, medical images, video, and entertainment have influenced the development of advances in image and video processing. In the computer vision's industry, the use of optic sensors it is essential for the image capture and processing so there is a need to develop a control for the signal acquisition of such vision systems. In this research work, an IP core hardware of a controller for the optic sensor LI-5M03 is designed and implemented in a low cost FPGA (Field-Programmable Gate Array) using the hardware description language VHDL (VHSIC - Very High Speed Integrated Circuit – Hardware Description Language). In addition, a system to capture a scene in a SDRAM memory for later processing in real time, as it is estimated to achieve 200 fps for VGA images, was also designed.

Palabras Clave

Núcleo IP; Protocolo I2C; Sensor óptico; FPGA, VHDL

INTRODUCCIÓN

Aplicaciones de la visión por computadora y robótica

El rápido desarrollo de las tecnologías de comunicación visual y su uso en dispositivos móviles, sensores de imagen, imágenes médicas, video, entretenimiento han influido en el avance del procesamiento de imágenes y videos. La tecnología de sistemas de visión se utiliza en aplicaciones industriales y militares tales como sistemas de navegación GPS en submarinos [1], mapas cartográficos, líneas de ensamblaje en fábricas, dispositivos médicos y diversas utilidades.

En el ámbito de la visión por computadora es común utilizar sensores ópticos para capturar imágenes del mundo exterior de tal forma que presenten alguna utilidad para el usuario. Un sistema robótico está asociado con reconocimiento de objetos, reducción de errores e incertidumbre en áreas de trabajo en una interacción tridimensional. A diferencia de un sistema robótico, un sistema de inspección por medio de visión (visión artificial) se relaciona más con la caracterización de lo que conforma una muestra con respecto a un estándar establecido [2].

La mayoría de las aplicaciones de visión por computadora consisten en una combinación de sistemas automatizados o robóticos y sistemas de inspección de visión artificial [2]. El proceso de captura de una imagen es esencial para las diversas aplicaciones de la visión por computadora por lo que la utilización de sensores ópticos es primordial en el desarrollo de dichos sistemas [3].

Objetivo

El objetivo de este proyecto es desarrollar el controlador del sensor óptico LI-5M03, en un FPGA de Altera (Cyclone V 5CSEMA5F31C6), mediante el lenguaje de descripción de hardware para circuitos integrados de muy alta velocidad (VHDL)

Un controlador de dispositivo o driver es un conjunto de directivas que permite al sistema interactuar con un periférico de hardware proporcionando una interfaz para utilizar el dispositivo [4]. Se realizó una descripción en hardware, núcleo IP para el controlador del sensor óptico LI-5M03 en un dispositivo configurable FPGA de Altera debido a que es posible realizar procesamiento de imágenes en tiempo real con esta tecnología [3]. Para comprobar la eficiencia del controlador, en los resultados se debe observar el número de cuadros por segundo (fps) para diferentes tamaños de imágenes, recursos utilizados del FPGA y una muestra de captura de una imagen del sensor óptico en funcionamiento.

MATERIALES Y MÉTODOS

Un sistema de cámara digital consiste de una interfaz de control (controlador) y una de comunicación, esta última siendo la encargada de la transmisión de datos entre dispositivos. El proyecto consiste en la captura de una escena con el sensor óptico LI-5M03 y el objetivo es realizar la interfaz de control y comunicación para las señales provenientes del sensor óptico para obtener el patrón de Bayer de tal forma que pueda ser procesado por medio de un algoritmo de Demosaicing y se puede visualizar la imagen, con los valores RGB, en una pantalla LCD, como se muestra en la imagen 1.

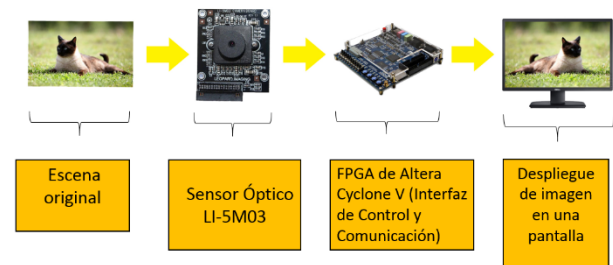


IMAGEN 1: Proceso de adquisición de la señales de una imagen de un sensor óptico.

Interfaz de comunicación

La interfaz de comunicación se realizó por medio del protocolo I2C que consiste en un bus de comunicaciones serial de alta velocidad. El protocolo de comunicación I2C utiliza dos líneas de comunicación para la transmisión de información. Usualmente, este protocolo de comunicación se utiliza para conectar circuitos integrados, que residen en el mismo circuito impreso [5].

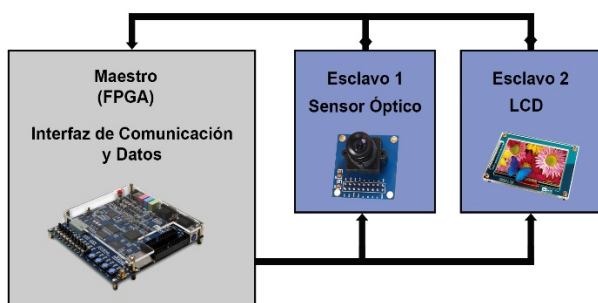


IMAGEN 2: Interfaz de comunicación, dispositivos interconectados por medio del protocolo I2C.

La interfaz de comunicación está equipada con instalaciones adicionales para permitir el funcionamiento, correcto del sensor óptico. Por medio de la interfaz o protocolo de comunicación I2C, se permite configurar cada dispositivo de manera separada como el almacenamiento de información recibida desde el sensor óptico, señales específicas u otro dispositivo conectado, como se muestra en la Imagen 2. La configuración se realiza por medio del controlador a el cual la interfaz se encuentra adjunta [5].

En este trabajo se realizó la interfaz de comunicación en base a el protocolo I2C con las especificaciones correspondientes al sensor óptico LI-5M03, algunas características de este sensor se muestran en la Tabla 1 [6]. De acuerdo a la Imagen 2, se muestra la configuración de comunicación, bidireccional con un sensor óptico u otros dispositivos siendo las interfaces en el FPGA el maestro que rige la intercomunicación con el esclavo 1, sensor óptico.

TABLA 1: Algunas características del sensor óptico LI-5M03.

Características del Sensor Óptico LI-5M03		
Pixeles activos	5.70 mm (H) x 4.28 mm(V)	
Velocidad de datos máximos / reloj maestro	96 Mp/s a 96 MHz (2.8 V I/O) 48 Mp/s a 48 MHz (1.8 V I/O)	
Resolución máxima	Programable hasta 14 FPS	
Resolución ADC	12 bit, on-chip	
Voltaje de alimentación	I/O	1.7 V – 3.1 V
	Digital	1.7 V – 1.9 V (1.8 V nominal)
	Análogo	2.6 V – 3.1 V (2.8 V nominal)
Tamaño de pixel	2.2 micro seg x 2.2 micro seg	

Interfaz de control

El sensor óptico LI-5M03 funciona en base a una señal de reloj **CLK** para sincronía y las señales **FV** y **LV** que marcan un cuadro valido (imagen) y línea valida respectivamente. Debido a que el sensor óptico es reconfigurable, la resolución de la imagen capturada también lo es, por lo que dichos parámetros dependen de la sincronía entre las señales **FV** y **LV**. Como se muestra en la Imagen 3, los ciclos de reloj que ocurren cuando **FV** es negado conforman la zona de borrado vertical y los que ocurren cuando **LV** es negado la zona de borrado horizontal. Los ciclos de reloj que ocurren cuando las señales **FV** y **LV** están en alto, conforman la zona de la imagen valida y por la tanto su resolución como se muestra en la imagen 4.

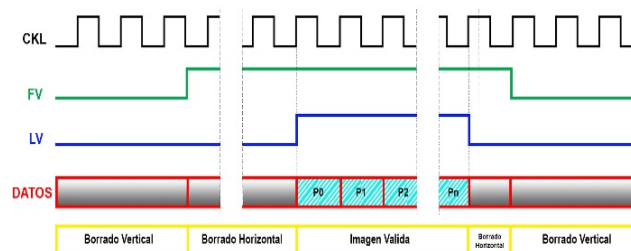


IMAGEN 3: Sincronía de las señales FV y LV, provenientes del sensor óptico, para la zona de una imagen valida.

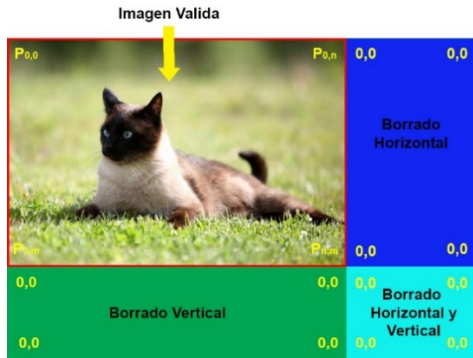


IMAGEN 4: Las diferentes zonas que define el sensor óptico para la captura de una imagen, así como su resolución.

El desarrollo de la interfaz de control consiste en tres procesos que conforman un diseño en hardware; captura de datos, organización de datos y por último el patrón de Bayer, para visualizar la imagen obteniendo los valores RGB. En la Imagen 5, se muestran todas las señales involucradas, internas y externas, así como el proceso completo.

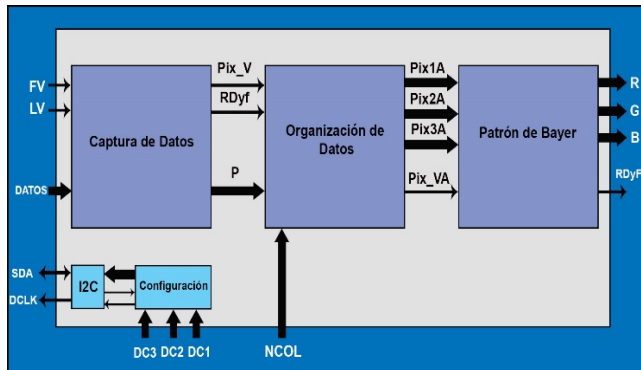


IMAGEN 5: Diagrama a bloques que muestra los procesos para del controlador.

El primer proceso consiste en la captura de datos y las entradas son las señales **FV** y **LV** así como el arreglo de **DATOS** de 12 bits. La señales **FV** y **LV** tienen como propósito indicar la obtención de un cuadro completo o imagen y una línea o fila de datos correspondientes a dicha imagen, de manera respectiva. Como salida del proceso de captura, se tiene el arreglo de datos **P** de 12 bits que representa una serie de datos válidos, con respecto a la Imagen 3, y la señales **Pix_V** y **RDyf** que indican cada dato o pixel valido y el arreglo o línea de pixeles válidos, de manera respectiva.

El siguiente proceso consiste en la organización de los datos por medio de un acceso dinámico a una memoria SDRAM de tal forma que puedan ser organizados en arreglos o líneas validas, se tiene como entrada los pixeles validos **P** y las señales **Pix_V** y **RDyf** que marcan un pixel y línea de pixeles valida, respectivamente. Como salida del proceso se tienen los datos **Pix1A**, **Pix2A** y **Pix3A** en arreglos de 12 bits y la señal **Pix_VA** que indica la terminación de una línea valida de pixeles. Debido a que el tiempo de procesamiento es crítico para este controlador, en la sección de resultados y discusión se presenta una tabla del número cuadros por segundo (fps), para diferentes tamaños de imagen.

Finalmente, las líneas de pixeles **Pix1A**, **Pix2A** y **Pix3A**, junto con la señal **Pix_VA** de la línea valida son enviadas al último proceso que consiste de un algoritmo de Demosaicing para decodificar el patrón de Bayer. Como resultado del proceso se obtienen los respectivos valores de los colores **R**, **G** y **B** (rojo, verde y azul) de tal forma que dicha captura de imagen se pueda visualizar en un módulo de pantalla LCD.

RESULTADOS Y DISCUSIÓN

Para demostrar la eficiencia del desarrollo en hardware realizado, en la Tabla 2 se muestra el desempeño en cuadros por segundo para diferentes tamaños de imagen y en la Tabla 3 describe el consumo de recursos utilizados para el FPGA que se utilizó [7].

TABLA 2: Resultados de procesamiento para diferentes imágenes.

Tamaño de Imagen (Píxeles)	FPS (Cuadros por Segundo)
256 x 256	872
640k x 480	200
800 x 480	164
800 x 600	131
1024 x 1024	60

TABLA 3: Recursos utilizados por el FPGA de Altera Cyclone V 5CSEMA5F31C6.

Memoria y unidades lógicas	Recurso utilizado	Recurso disponible
Unidades de memoria	36,864	4,065,280
Unidades lógicas	218	32,070

De igual manera, se muestra una imagen del montaje de los dispositivos que se utilizaron; el sensor óptico, el FPGA y un módulo de pantalla LCD para mostrar la imagen.



IMAGEN 6: Sensor Óptico LI-5M03 y pantalla LCD en funcionamiento, capturando una escena.

CONCLUSIONES

Al finalizar este proyecto, se obtuvo un núcleo IP basado en FPGA portable para la adquisición de imágenes y procesamiento en tiempo real, de bajo costo. Referente a la eficiencia, este núcleo IP puede procesar una imagen de 1024 x 1024 a una velocidad de 60 fps. Por otro lado, el consumo de recursos para el FPGA Cyclon V fue menor al 1%, tanto memoria como unidades lógicas.

Como trabajo futuro, el núcleo IP se aplicara al área de visión por computadora en imágenes satelitales, y visión robótica.

AGRADECIMIENTOS

Muchos agradecimientos al Dr. Carlos Rodríguez Doñate por su incondicional apoyo y dedicación a la realización de este trabajo de investigación.

Me permito agradecer a la Dirección de Apoyo a la Investigación de la Universidad de Guanajuato, a la compañía Prefixa por facilitarnos el sensor óptico LI-5M03 y a la compañía Altera por proporcionarnos la tarjeta FPGA Cyclone V 5CSEMA5F31C6 y el módulo de pantalla LCD.

REFERENCIAS

Artículo:

- [1] Nelson R., & Corby JR. (1983). Machine Vision for Robotics. IEEE Transactions on Industrial Electronics, 30(3), 01-02.
- [2] Carreras, M., Ridao, P., García, R., Ribas, D., & Palomeras, N. (2012). Inspección visual subacuática mediante robótica submarina. Revista Iberoamericana de Automática e Informática Industrial RIAI, 9(1), 34-45.
- [3] Brylski, P., & Strzelecki, M. (2010). FPGA implementation of parallel digital image processor. In Signal Processing Algorithms, Architectures, Arrangements, and Applications SPA 2010.
- [4] Kadav, A., & Swift, M. (2015). Understanding Modern Device Drivers, 2(1), 1-5. Recuperado de <http://pages.cs.wisc.edu/~kadav/study/study.pdf>
- [5] Dan, R. (2011). FPGA Interface For Optical Mouse. Proceedings of International Conference on Innovations, Recent Trends And Challenges In Mechatronics, Mechanical Engineering And New High-Tech Products Development, 3(5), 1-4.
- [6] ON Semiconductor, "1/2.5-Inch 5 Mp CMOS Digital Image Sensor". MT9P031 Datasheet. 2005.
- [7] ALTERA, "DE1-SoC Development Kit". User Manual. April, 2015.